



**NOMBRE:** Diseño e implementación de arquitecturas adaptadas para la conversión analógico-digital y el procesamiento de imágenes a niveles bajo, medio y alto

**ENTIDAD FINANCIADORA:** Ministerio de Economía y Competitividad y Fondos Europeos de Desarrollo Regional. Programa Estatal de I+D+i Orientada a los Retos de la Sociedad

**REFERENCIA DEL PROYECTO:** TEC2015-66878-C3-2-R

**AYUDA CONCEDIDA:** 129.833 €

#### **RESUMEN DEL SUBPROYECTO:**

La extracción de características es una tarea esencial en aplicaciones que precisan sistemas de visión para reconocer objetos en una imagen. Para extraer estas características de forma robusta frente a cambios de escala, rotaciones o cambios de iluminación en la escena, los algoritmos de extracción de características precisan mucho tiempo de computación, de modo que las prestaciones que ofrecen estos mismos algoritmos cuando se programan en software distan mucho de alcanzar el tiempo real. Por este motivo es necesaria una implementación hardware capaz de explotar el paralelismo inherente en estas tareas de procesamiento de imágenes que permita acelerar estas operaciones.

Por otra parte, cada vez en más aplicaciones, la reducción del consumo de los dispositivos electrónicos resulta crucial, más hoy en día ante la proliferación de equipos inalámbricos de todo tipo, desde simples cámaras de vigilancia hasta aeronaves tripuladas remotamente. Sin embargo, es difícil compatibilizar alta velocidad de procesamiento con reducido consumo energético si se continúa con los esquemas básicos de procesamiento en que a la circuitería de sensado (píxeles) le sigue la circuitería de conversión analógico-digital (convertidor ADC rápido) y finalmente un procesador, por los cuellos de botella que origina. Para avanzar en una reducción del consumo manteniendo las prestaciones de procesado en tiempo real, es preciso extender el paralelismo existente en el procesamiento digital a puntos precedentes en la cadena de adquisición de datos. Así, el análisis de estructuras alternativas de conversión, que sean capaces de sustituir un único convertidor ADC por múltiples convertidores a nivel de columna de imagen o incluso de píxel, con precisión moderada pero con un consumo muy reducido de potencia, contribuirá a reducir los cuellos de botella a la vez que se acota el consumo.

Sin duda la, la posibilidad que ofrece la tecnología CMOS para integrar en un chip tanto los dispositivos de sensado como los de conversión y procesamiento de imagen supone un gran reto para el diseñador electrónico ya que le abre un abanico de soluciones

respecto a la configuración del sistema de adquisición de imágenes. Desde esta perspectiva se puede rediseñar el camino de datos desde el plano focal hasta el procesamiento digital de nivel medio y alto logrando así un elevado grado de paralelismo desde el sensado de la imagen. Estas soluciones deben ser convenientemente analizadas para obtener sensores de imagen inteligentes y con un consumo muy reducido, adecuados para diferentes tipos de sistemas y equipos inalámbricos de monitorización y vigilancia.

Este proyecto pretende, partiendo de la experiencia del equipo de trabajo en el diseño de convertidores ADC y de algoritmos de procesado de imágenes, realizar la implementación en un único chip en tecnología CMOS estándar de 0.18um de los algoritmos de extracción de características junto con una circuitería eficiente de conversión analógico digital, explotando las posibilidades de paralelización conjunta de unos y otros. Los circuitos cumplirán el estándar OpenVX para integrar funciones que sean transparentes al programador de aplicaciones de visión artificial. Para demostrar la viabilidad de esta propuesta se desarrollará un demostrador del sistema de procesamiento de imágenes. Los resultados del proyecto se integrarán en el proyecto coordinado para obtener un sistema de visión en un único chip para aplicaciones de vigilancia y transporte.

## **OBJETIVOS:**

Los objetivos de este subproyecto son los siguientes:

- 1.- Diseñar la circuitería de conversión analógico-digital en tecnología CMOS estándar de 0.18  $\mu\text{m}$  que optimice de forma global el consumo y el área de silicio para satisfacer las especificaciones de fps del sensor de visión (VGA, 30fps) y consumo inferior a 10mW.
2. Sintetizar a nivel de registro (VHDL) los algoritmos de procesado de nivel intermedio de la escena (operadores de correlación y detector SIFT). Esta implementación tendrá como primer objetivo lograr tasas de generación de 6.5 $\mu\text{s}$  por vector descriptor, equivalente a 20 ms por frame para una imagen VGA estándar que arroje un 1% de puntos de interés.
- 3.- Realizar la integración y evaluación de los algoritmos de procesado de nivel intermedio descritos a nivel de registro por los grupos USC y UPCT sobre un chip de lógica programable de tipo FPGA. A partir de los resultados obtenidos se proporcionará la realimentación adecuada para corregir las desviaciones observadas.
- 4.- Sintetizar a nivel de dispositivo en tecnología CMOS estándar de 0.18  $\mu\text{m}$  los algoritmos de procesado de nivel intermedio (operadores de correlación y detector SIFT) para su integración en el Chip IV, con tasas de generación objetivo inferiores a 6 $\mu\text{s}$ /vector descriptor.
- 5.- Realizar la integración de las comunicaciones y transferencia de datos entre los señores/procesadores y el chipset, de acuerdo con los estándares industriales (SPI, I2C)
- 6.- Implementar la parte correspondiente del demostrador sobre plataforma fija para la identificación y seguimiento de objetivos en entornos no estructurados.